

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-123227

(43)Date of publication of application : 22.07.1983

(51)Int.Cl. H03K 5/153

(21)Application number : 57-005660

(71)Applicant : FUJITSU LTD
NIPPON TELEGR & TELEPH CORP <NTT>
NEC CORP

(22)Date of filing : 18.01.1982

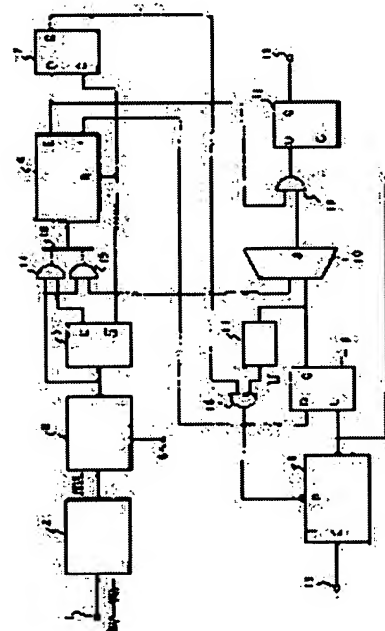
(72)Inventor : TOYAMA TSUGIO
AKAO TAKASHI
HOSHIDA KATSUNORI
ISHIKAWA KAZUNORI
MIYASHITA TETSUO

(54) SIGNAL DETECTING CIRCUIT

(57)Abstract:

PURPOSE: To facilitate IC implementation by detecting a constant-frequency signal which is intermitted repeatedly through digital processing.

CONSTITUTION: The input signal 1 of specific frequency which is intermitted at a specific period is digitized by an AD converter 2 and inputted to a frequency detector 3 which receives a high-speed clock 4. A monostable multivibrator 5 which outputs a little bit longer pulses than a signal frequency to be detected, a counter 6 and an FF7 generate output when the frequency of the input signal is greater than a prescribed value. A counter 8 and an FF9 which receive a clock 13 detect the prescribed-period continuation of the input signal 1. A decoder 10 and an FF11 output a detection output signal when the input signal 1 has the prescribed frequency and a prescribed intermittence period. This circuit is used to detect a busy-back tone, etc., in a telephone system.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭58—123227

⑫ Int. Cl.³
H 03 K 5/153

識別記号

庁内整理番号
7125-5 J

⑬ 公開 昭和58年(1983) 7月22日
発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 信号検出回路

⑮ 特 願 昭57-5660

⑯ 出 願 昭57(1982) 1月18日

⑰ 発 明 者 外山次男

川崎市中原区上小田中1015番地
富士通株式会社内

⑱ 発 明 者 赤尾隆

川崎市中原区上小田中1015番地
富士通株式会社内

⑲ 発 明 者 星田勝典

武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内

⑳ 発 明 者 石川和範

武蔵野市緑町3丁目9番11号日
本電信電話公社武蔵野電気通信
研究所内

㉑ 発 明 者 宮下哲雄

東京都港区芝五丁目33番1号日
本電気株式会社内

㉒ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

㉓ 出 願 人 日本電信電話公社

㉔ 出 願 人 日本電気株式会社

東京都港区芝五丁目33番1号

㉕ 代 理 人 弁理士 玉島久五郎 外3名

明 細 書

1. 発明の名称 信号検出回路

2. 特許請求の範囲

所定時間の連続と断とを繰返す一定周波数の入力信号を検出する回路に於いて、前記入力信号をデジタル信号に変換し、該デジタル信号の周期を高速クロックのカウントにより計測して所定の周波数であるか否か検出する周波数検出回路、該周波数検出回路により所定の周波数であることを検出したことにより、前記入力信号の連続時間を計測するカウンタ、前記入力信号の断時間を計測するカウンタ及び所定の連続時間と断時間であるとときに検出信号を出力する手段とを備えたことを特徴とする信号検出回路。

3. 発明の詳細な説明

本発明は、一定周波数の信号を所定時間の連続及び断を繰返し、その繰返し周期を一定とした各種の信号をデジタル処理により検出する信号検出回路に関するものである。

交換機に於ける話中音は、例えば 400 Hz の信号を 0.5 秒連続、0.5 秒断とすることを繰返すものであり、如求装置等においては、この話中音信号を検出することにより、発信操作を中止する等の処理を行なうものである。又各種の装置間の情報として、所定時間連続した後、所定時間断とすることを繰返す一定周波数の信号を用いる場合がある。

前述の如き各種の信号を検出する為、従来はフィルタや積分回路等のアナログ処理回路が用いられていた。しかし、経年変化、温度変化等による特性の変化の影響が大きく、又部品数が多く実装上の問題が生じる欠点があつた。

本発明は、所定時間の連続及び断を繰返す一定周波数の信号をデジタル処理により検出することにより、集積回路化を容易にし、小型且つ経済的な信号検出回路を提供することを目的とするものである。

以下実施例について詳細に説明する。

第1図は本発明の実施例のブロック図であり、

1は信号の入力端子、2は入力信号を2値化してディジタル信号に変換するAD変換器、3は周波数検出回路、4は高速クロックの入力端子、5はモノステーブルマルチバイブレータ、6,8はカウンタ、7,9,11はフリップフロップ、10はデコーダ、12は検出信号の出力端子、13はクロックの入力端子、14,15,18,19はアンド回路、16はオア回路、17は“0”の微分信号を出力する立上り微分回路である。図中各信号の検出に於いては、周波数検出回路3は400 Hz信号を検出する構成とし、モノステーブルマルチバイブレータ5は400 Hz信号の周期の1.5～2倍程度の出力時間幅のトリガ型とし、又カウンタ6は400 Hz信号が0.5秒連続であるか否かの検出を行なり構成とし、カウンタ8はアンド回路18の出力が“1”のときに入力端子13からのクロックをカウントし、0.5秒間であるか否かを検出するものである。

周波数検出回路3は例えば第2図に示す構成を有するもので、31は2段のフリップフロップで構成され、高速クロックで動作してAD変換器2の出

力信号の微分を検出して“0”の微分信号を出力する前縁微分回路、32は前縁微分回路31の出力信号によりオール“0”をロードして、入力端子4からの高速クロックのカウントを開始するカウンタ、33はデコーダ、34はフリップフロップ、35はゲート回路である。

第3図は動作説明図であり、同図(a)に示す入力信号が入力端子1に加えられると、AD変換器2の出力信号は同図(b)に示すものとなり、周波数検出回路3に加えられる。入力端子4に加えられる高速クロックを第3図(c)に示すものとする、周波数検出回路3の前縁微分回路31の出力信号は、第3図(d)に示すものとなる。即ち入力信号の周期Tと同一の周期Tとなる。

カウンタ32は前縁微分回路31の出力信号によりカウント内容を“0”とし、高速クロックのカウントを開始する。このカウンタ32のカウント内容はデコーダ33に加えられ、デコーダ33は、カウント内容が“0”のとき端子Aを“1”、400 Hz信号検出に於いて(400 Hz±許容誤差)の周波数の1周期

の期間に相当するカウント内容“n”のとき端子Bを“1”、オーバフローのとき端子Cを“1”とする。

カウンタ32のカウント内容を第3図(e)に示すものとする、カウント内容“n”のとき第3図(f)に示すように端子Bが“1”となつてセット端子8に加えられるので、フリップフロップ34がセットされる。このセット出力は第3図(g)に示すものとなるから、ゲート回路35の出力信号は第3図(h)に示すものとなり、モノステーブルマルチバイブレータ5に加えられる。即ち入力信号が400 Hzの連続のとき、ゲート回路35からモノステーブルマルチバイブレータ5に一定の周期Tでパルスが加えられることになる。

若し入力信号の周波数が400 Hzより低い場合は、カウンタ32がオーバフローすることになり、一旦セットされたフリップフロップ34はデコーダ33の端子Cが“1”となつてリセット端子Bにかけられることによりリセットされる。従つてゲート回路35からパルスが出力されることがない。又入力信号の周波数が400 Hzより高い場合は、カウンタ32

のカウント内容が“n”になる前に前縁微分信号が加えられるので、デコーダ33の端子Bが“1”になることがなく、フリップフロップ34はリセットされたまゝとなる。

周波数検出回路3の出力信号が第4図(a)に示すように、周期Tのパルスが連続状態と断状態とを繰り返したものとなつた場合、モノステーブルマルチバイブレータ5の端子Qの出力信号は第4図(b)に示すものとなる。従つてカウンタ6は周波数検出回路3の出力信号のパルスをカウントすることになり、カウント内容が第4図(c)に示すように0.5秒連続を示す“m”になると、カウンタ6の端子Eは第4図(d)に示すように“1”となる。又端子Fはカウント内容が“0”のとき“1”となるもので、第4図(e)に示すものとなる。

連続状態から断状態となると、モノステーブルマルチバイブレータ5の端子Q、 \bar{Q} は所定時間後“0”、“1”となる。フリップフロップ7のゲート端子Dがカウンタ6の端子Eと、クロック端子Cがモノステーブルマルチバイブレータ5の端子 \bar{Q}

とそれぞれ接続されているので、モノステーブルマルチバイブレータ5の端子Qが“1”になると、Kによつて第4図(II)に示すようにセットされる。又同時にカウンタ8はリセット端子Rに“0”から“1”の信号が加えられることによりリセットされる。

フリップフロップ9がセットされると、アンド回路18の出力は“1”となり、カウンタ8は入力端子13からのクロックをカウントし、そのカウント内容が第4図(II)に示すように0.5秒の断状態の時間に相当した値“4”となると、その出力がフリップフロップ9、11のクロック端子Cに加えられ、カウンタ8の端子Aが“1”であることにより、先ずフリップフロップ9が第4図(II)に示すようにセットされる。このフリップフロップ9のセット出力の立上りを立上り微分回路17で検出し、“0”の微分信号をアンド回路18に加えるので、アンド回路18の出力信号は“0”となり、カウンタ8はリセットされる。そしてカウンタ8は再びクロックのカウントを開始する。

デコード10にはフリップフロップ9、11の端子

Qの出力信号が加えられ、前述の如く両方共セットされていると、デコード10の入力は“11”となり、デコード10の出力は“1”となる。従つて次にカウンタ8のカウント内容が“4”となつたとき、カウンタ8の端子Eの出力信号も“1”となるので、フリップフロップ11も第4図(II)に示すようにセットされ、その出力信号は400 Hz、0.5秒遅延、0.5秒断の入力信号の検出信号として出力端子12から出力される。

従つて図示しない制御部において自動発着を交換機に対して行なつた後、出力端子12からの信号を周期的に監視し、出力端子12から信号が出力されたとき制御部は相手端装置が話中であることを識別できることとなる。又話中音信号の検出のみでなく、他の各種の信号の検出にも適用し得るものであり、前述の如く、検出すべき信号の周波数、遅延及び断時間に対応して周波数検出回路8、モノステーブルマルチバイブレータ5、カウンタ6、9を構成すれば良いことになる。

以上説明したように、本発明は、所定時間の遅

延と断とを繰返す一定周波数の話中音信号等の入力信号を検出する回路であつて、入力信号をデジタル信号に変換してその周期を高速クロックのカウントにより計測し、所定の周波数の入力信号であるか否かを周波数検出回路8により検出し、所定の周波数の入力信号のときは、その入力信号の遅延時間をカウンタ6で計測し、又入力信号の断時間をカウンタ8で計測し、所定の遅延時間と断時間であるとき、フリップフロップ11のセット等により検出信号を出力する手段を備えたものであり、デジタル処理により信号検出を行なうものであるから、集積回路化が容易であり、又デジタル回路は、経年変化、温度変化による影響がアナログ回路より極めて少ないので、各種の信号の安定且つ確実な検出が可能となる。又集積回路化により小型となるので、実装上の問題もなくなる利点がある。

4. 図面の簡単な説明

第1図は本発明の実施例のブロック図、第2図は周波数検出回路の一例のブロック図、第3

図及び第4図は動作説明図である。

1は入力端子、2はAD変換器、3は周波数検出回路、4は高速クロックの入力端子、5はモノステーブルマルチバイブレータ、6、8、32はカウンタ、7、9、11、34はフリップフロップ、10、33はデコード、12は出力端子、13はクロックの入力端子、17は立上り微分回路、31は前縁微分回路である。

特許出願人 富士通株式会社(外2名)
代理人弁理士 玉 島 久 五 郎(外3名)

